

010570147 **Image available**

WPI Acc No: 1996-067100/199607

Related WPI Acc No: 1996-066132; 1996-101467; 1996-126429

XPX Acc No: N01-287194

Analog signal amplifier for image displays e.g. liquid crystal display, sets response speed of one linear circuit to be greater or lesser than that of other linear circuit, based on level variation of input signal

Patent Assignee: SHARP KK (SHAF)

Inventor: KUBO T; SHIRAKI I; KUBOTA Y

Number of Countries: 004 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7327185	A	19951212	JP 94119225	A	19940531	199607 B
US 6225866	B1	20010501	US 95416370	A	19950404	200142
			US 9812424	A	19980123	
			US 2000594439	A	20000614	
TW 273652	A	19960401	TW 95102358	A	19950313	199628
CN 1121232	A	19960424	CN 95102352	A	19950322	199745

Priority Applications (No Type Date): JP 94119225 A 19940531; JP 94119238 A 19940531; JP 94139150 A 19940621; JP 94155014 A 19940706

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7327185	A		21	H04N-005/66	
US 6225866	B1		75	H03F-003/68	Cont of application US 95416370 Div ex application US 9812424
TW 273652	A			H03M-001/12	
CN 1121232	A			G09G-003/00	

Abstract (Basic): US 6225866 B

NOVELTY - Parallel connected cascade type linear circuits amplify respective input signals, linearly. Response speed of one linear circuit is greater or lesser than that of other linear circuit, based on reception of increasing or decreasing level change in input signal, respectively.

USE - For image display e.g. liquid crystal display of active matrix driving system.

ADVANTAGE - Enables sufficient writing and holding operations for video signals, even by using devices with inferior performances. Enables to expand linear region in input-to-output characteristics, without need for increasing withstand voltage in transistors.

DESCRIPTION OF DRAWING(S) - The figure shows graph indicating response characteristics of signal amplifier.

Dwg. 38a/54

JP 7327185 A

The device has several inverter logic circuits (31) connected between a shift register (11) which generates a fixed period timing signal, and a CMOS sampling switch (13) consisting of an n-channel transistor (13a) and a p-channel transistor (13b). A branch circuit (32), which inputs the fixed period timing signal of the shift register from a first path (32a) and a second path (32b) to a gate terminal of both the n-channel and p-channel transistors, is provided at the inverter logic circuits.

A first output level of the inverter logic circuit is set up at the branch circuit to make an input level of the CMOS sampling switch different to a second output level of the shift register.

ADVANTAGE - Provides small voltage amplitude, sufficient write and conservation of signal with CMOS sampling switch having low breakdown voltage. Briefly performs timing signal level shifting. Simplifies power supply circuitry. Provides small shifting amount between inverter logic circuits, and small delay time and waveform distortion difference of signal. Reduces integrated circuit mounting cost for drive. Displays high definition image.

Dwg. 1/16

Title Terms: ANALOGUE; SIGNAL; AMPLIFY; IMAGE; DISPLAY; LIQUID; CRYSTAL;
DISPLAY; SET; RESPOND; SPEED; ONE; LINEAR; CIRCUIT; GREATER; LINEAR;
CIRCUIT; BASED; LEVEL; VARIATION; INPUT; SIGNAL

Derwent Class: P81; P85; T04; U13; U14; U21; U24; W03

International Patent Class (Main): G09G-003/00; H03F-003/68; H03M-001/12;
H04N-005/66

International Patent Class (Additional): G09G-003/36; H03F-001/22;
H03K-017/687

File Segment: EPI; EngPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-327185

(43) 公開日 平成7年(1995)12月12日

(51) Int. Cl. ⁶

識別記号

F I

H04N 5/66

102 B

G09G 3/36

H03K 17/687

9473-5J

H03K 17/687

審査請求 未請求 請求項の数14 O L (全21頁)

(21) 出願番号

特願平6-119225

(22) 出願日

平成6年(1994)5月31日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

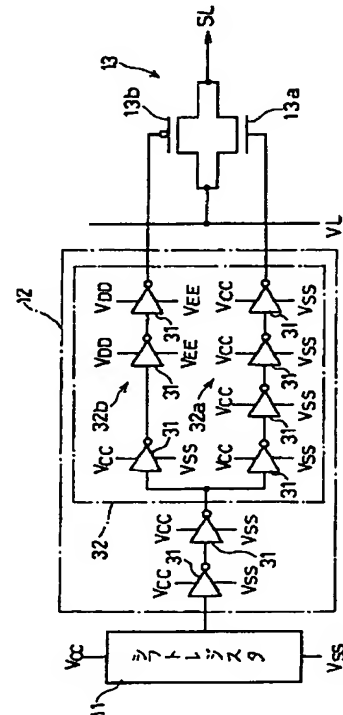
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 サンプリング回路およびそれを用いた画像表示装置

(57) 【要約】

【構成】 第2経路32bにおける後段の2個の反転回路31・31に電源電圧 V_{DD} ・ V_{EE} を与え、その以外の反転回路31…に電源電圧 V_{CC} ・ V_{SS} を与える。電源電圧 V_{DD} ・ V_{EE} を電源電圧 V_{CC} ・ V_{SS} に対してプラス側にシフトした値に設定する。このような電源構成により、映像信号線VLからの低電位側の映像信号をnチャネルトランジスタ13aにより取り込み、高電位側の映像信号をpチャネルトランジスタ13bにより取り込んでデータ信号線SLに与える。

【効果】 サンプリングスイッチ13の導通時におけるゲート入力電圧を小さくすることができる。また、上記のように電源電圧のレベルをシフトさせることにより、小振幅の信号でも書き込みおよび保持が可能になる。それゆえ、耐圧の低い素子を用いた場合にも、回路特性が損なわれることはない。



【特許請求の範囲】

【請求項 1】一定周期のタイミング信号を発生するタイミング発生回路と、

並列に接続された n チャンネルトランジスタと p チャンネルトランジスタとからなる CMOS 構成のサンプリングスイッチと、

上記タイミング発生回路と上記サンプリングスイッチとの間に設けられた複数段の反転回路と、

上記反転回路を含み、上記タイミング発生回路からのタイミング信号を 2 つの経路に分岐させてそれぞれを上記サンプリングスイッチにおける n チャンネルトランジスタのゲートと p チャンネルトランジスタのゲートとに与える分岐回路とを備え、

上記両経路のいずれか一方を通過するタイミング信号の上記サンプリングスイッチへの入力レベルが上記タイミング発生回路の出力レベルと異なるように上記反転回路の出力レベルが設定されていることを特徴とするサンプリング回路。

【請求項 2】上記両経路のいずれか一方において入力段の反転回路と出力段の反転回路とにそれぞれ異なる駆動電圧が与えられることを特徴とする請求項 1 に記載のサンプリング回路。

【請求項 3】上記駆動電圧が最高値および最低値の 2 つの値に設定されることを特徴とする請求項 2 に記載のサンプリング回路。

【請求項 4】上記両経路のいずれか一方において入力段の反転回路と出力段の反転回路との間に設けられる反転回路に入出力段の両反転回路に与えられる駆動電圧の中間値の駆動電圧が与えられることを特徴とする請求項 2 に記載のサンプリング回路。

【請求項 5】一定周期のタイミング信号を発生するタイミング発生回路と、

並列に接続された n チャンネルトランジスタと p チャンネルトランジスタとからなる CMOS 構成のサンプリングスイッチと、

上記タイミング発生回路と上記サンプリングスイッチとの間に設けられた複数段の反転回路と、

上記反転回路を含み、上記タイミング発生回路からのタイミング信号を 2 つの第 1 および第 2 経路に分岐させてそれぞれを上記サンプリングスイッチにおける n チャンネルトランジスタのゲートと p チャンネルトランジスタのゲートとに与える分岐回路とを備え、

上記第 1 および第 2 経路を通過するタイミング信号の上記サンプリングスイッチへの入力レベルが上記タイミング発生回路の出力レベルと異なり、かつ互いに異なるように上記反転回路の出力レベルが設定されていることを特徴とするサンプリング回路。

【請求項 6】上記第 1 経路において入力段の反転回路に出力段の反転回路より高い駆動電圧が与えられる一方、上記第 2 経路において入力段の反転回路に出力段の反転

回路より低い駆動電圧が与えられることを特徴とする請求項 5 に記載のサンプリング回路。

【請求項 7】上記第 1 および第 2 経路における駆動電圧がそれぞれ最高値および最低値の 2 つの値に設定されることを特徴とする請求項 6 に記載のサンプリング回路。

【請求項 8】上記第 1 および第 2 経路において入力段の反転回路と出力段の反転回路との間に設けられる反転回路に入出力段の両反転回路に与えられる駆動電圧の中間値の駆動電圧が与えられることを特徴とする請求項 6 に記載のサンプリング回路。

【請求項 9】上記分岐回路における反転回路のすべては、同一の駆動電圧が与えられるとともに駆動電圧を制限する電圧リミッタが設けられていることを特徴とする請求項 1 または 5 に記載のサンプリング回路。

【請求項 10】上記タイミング発生回路および上記反転回路を構成する各素子が薄膜トランジスタからなることを特徴とする請求項 2、3、4、6、7、8 または 9 に記載のサンプリング回路。

【請求項 11】マトリクス状に配されて表示を行なう画素と、

画素にデータを書き込むデータ信号線と、
請求項 10 に記載のサンプリング回路を有し、上記サンプリングスイッチが上記タイミング発生回路により発生したタイミング信号に同期して上記データ信号線にデータを与えるデータ信号線駆動回路とを備えていることを特徴とする画像表示装置。

【請求項 12】少なくとも上記画素および上記データ信号線駆動回路が絶縁基板上に形成された多結晶シリコン薄膜または単結晶シリコン薄膜上に設けられていることを特徴とする請求項 11 に記載の画像表示装置。

【請求項 13】上記絶縁基板がガラス基板であり、上記各素子が 600℃ 以下のプロセス温度で製造されていることを特徴とする請求項 12 に記載の画像表示装置。

【請求項 14】上記各画素が液晶素子を有していることを特徴とする請求項 11、12 または 13 に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、映像信号等のアナログ信号をサンプリングするサンプリング回路およびそのサンプリング回路を用いた画像表示装置に関するものである。

【0002】

【従来の技術】現在、アナログ信号をサンプリングするサンプリング回路は、様々な分野で利用されており、それぞれの分野に適した方式に改良が加えられて採用されている。特に、液晶表示装置等の画像表示装置においては、以下に説明するようなデータ信号線駆動回路に映像信号をサンプリングするサンプリング回路が用いられている。

10

20

30

40

50

【0003】例えば、アクティブマトリクス駆動方式の液晶表示装置では、多数の走査信号線と、多数のデータ信号線とが交差して設けられており、隣接する走査信号線同士と隣接するデータ線信号線同士とで囲まれた領域に画素が設けられている。画素は、多数設けられ、マトリクス状に配されている。

【0004】画素は、MOS型のFET（電界効果トランジスタ）からなるスイッチング素子と画素容量とを有している。スイッチング素子は、走査信号線に与えられた信号で導通し、データ信号線に与えられたデータ（映像信号）を取り込んで画素容量に供給するようになって

いる。

【0005】データ信号線は、データ信号線駆動回路によってサンプリングされた映像信号が与えられ、走査信号線は、走査信号線駆動回路により順次選択される。走査信号線が選択されることにより、各データ信号線に与えられた映像信号が各画素に書き込まれ、保持される。

【0006】データのデータ信号線への書き込みは、点順次駆動方式または線順次駆動方式により行われる。

【0007】点順次駆動方式は、サンプリング回路において、シフトレジスタの複数の出力からのパルスに同期してサンプリングスイッチを開閉させることにより、映像入力信号線に入力された映像信号を、データ信号線に書き込むようになっている。この方式では、水平方向のデータ線本数を n とすれば、映像信号をデータ信号線に書き込む時間は、有効水平走査期間（水平走査期間の約80%）の $1/n$ しかない。このため、大画面化に伴いデータ信号線の時定数（容量と抵抗との積）が大きくなると十分な書き込みができなくなり、表示画像の品位を損なうおそれがある。

【0008】特に、駆動能力の低いトランジスタでサンプリングスイッチを構成した場合には、この影響が大きくなる。そこで、従来では、書き込み能力を確保するために、サンプリングスイッチを構成するトランジスタのチャネル幅を大きくしている。

【0009】一方、線順次駆動方式では、サンプリング回路において、シフトレジスタの複数の出力からのパルスに同期してサンプリングスイッチを開閉させるのは点順次駆動方式と同様である。線順次駆動方式では、さらに、映像入力信号線に入力された映像信号を、一旦サンプリング容量に蓄えた後、次の水平走査期間においてバッファアンプを介してデータ信号線に出力するようになっている。

$$V_H = V_{H1} + V_{H2} + V_{H3} \quad \dots (1)$$

$$V_L = -V_{L1} + V_{L2} - V_{L3} \quad \dots (2)$$

となる。

【0016】ここで、オンマージンとは、十分な書き込みを可能にするためにサンプリングスイッチ104の閾値電圧に上乗せする電圧であり、オフマージンとは、リーク電流を十分に低減させるためにサンプリングスイ

【0010】一般に、サンプリング容量がデータ信号線の容量よりも小さいことから、線順次駆動方式によれば、映像入力信号線からの書き込み時間は短時間ですむ。また、負荷の大きいデータ信号線への書き込みには、水平走査期間が当てられるので、データ信号線への書き込みを十分行なうことができる。このように、線順次駆動方式では、点順次駆動方式が抱えていたような問題は少ない。

【0011】しかし、線順次駆動方式では、サンプリング容量に保持された電荷が、サンプリングスイッチのリーク電流により時間が経つにつれて減少したり、バッファアンプへのデータ転送時における容量分割により減少したりといった不都合がある。そこで、この影響を抑えるために、サンプリング容量を増加させることが考えられるが、こうすることにより、点順次駆動方式と同様な書き込み不足が生じる可能性がある。したがって、この場合にもやはり、書き込み能力を確保するために、サンプリングスイッチを構成するトランジスタのチャネル幅を大きくしなければならない。

【0012】ところで、前記のサンプリング回路は、例えば、図14に示すように、シフトレジスタ101と、複数段の反転回路102…を有する増幅回路103と、 n チャネルトランジスタのみからなるサンプリングスイッチ104とを備えている。このようなサンプリング回路では、映像信号線VLからの映像信号をデータ信号線SLに書き込む際には、シフトレジスタ101の出力信号が反転回路102…で増幅され、サンプリングスイッチ104のゲート電極に入力される。

【0013】反転回路102は、図15に示すように、 n チャネルトランジスタ102aと p チャネルトランジスタ102bとが直列に接続された構造になっている。

【0014】書き込み時において、サンプリングスイッチ104は、導通状態で高電位側の映像信号を十分に書き込むだけの高いレベルの信号 V_H を必要とするとともに、遮断状態では低電位側の映像信号を保持するだけの低いレベルの信号 V_L を必要とする。したがって、書き込み時は、サンプリングスイッチ104へのゲート電極への信号振幅をかなり大きくする必要がある。

【0015】具体的には、映像信号の振幅を V_{H1} 、サンプリングスイッチ104の閾値電圧を V_{th} 、サンプリングスイッチ104のオンマージン、オフマージンをそれぞれ V_{on} ・ V_{off} とすれば、信号 V_H ・ V_L は、

チ104の閾値電圧から差し引く電圧である。上記の各電圧の代表的な値は、例えば、 $V_{H1} = 5$ (V)、 $V_{th} = 2$ (V)、 $V_{on} = 4$ (V)、 $V_{off} = 5$ (V)である。したがって、これらの値に基づいた信号 V_H ・ V_L は、(1)式および(2)式により、

5

$$V_H = 5 + 2 + 4 = 11 \text{ (V)}$$

$$V_L = -5 + 2 - 5 = -8 \text{ (V)}$$

となる。このため、 $V_H \cdot V_L$ の電圧差である19Vの電源電圧が必要となり、素子もこれに応じて19Vの耐圧が要求されることになる。

【0017】また、他のサンプリング回路は、図16に示すように、シフトレジスタ101と、複数段の反転回路102…を有する増幅回路105と、サンプリングスイッチ106とを備えている。増幅回路105は、シフトレジスタ101から3段目の反転回路102・102

【0018】サンプリングスイッチ106は、nチャネルトランジスタ106aとpチャネルトランジスタ106bとが並列に接続されたCMOS構成である。このサンプリングスイッチ106では、低電位側の映像信号がnチャネルトランジスタ106aにより書き込まれ、高電位側の映像信号がpチャネルトランジスタ106bにより書き込まれるようになっている。

【0019】書き込み時、シフトレジスタ101の出力信号は、反転回路102…および必要に応じて設けられる幾つかの論理回路（図示せず）を介して、nチャネルトランジスタ106aおよびpチャネルトランジスタ106bに入力される。反転回路102…は、駆動力の小さいシフトレジスタ101の出力信号によりチャネル幅の大きい（入力負荷の大きい）サンプリングスイッチ106を駆動するため、および信号の位相（極性）を合わせるために設けられている。一方、論理回路は、必要最小限の映像信号のみをサンプリングするようにサンプリングのタイミングを制御する目的で設けられている。

【0020】nチャネルトランジスタ106aおよびpチャネルトランジスタ106bへの入力信号は、互いに逆位相となる必要がある。このため、nチャネルトラン

$$V_H = V_{i1g} + V_{i0} + V_{off} \quad \dots (3)$$

$$V_L = -V_{i1g} + V_{i0} - V_{off} \quad \dots (4)$$

となる。

【0025】上記の各電圧の代表的な値は、例えば、 $V_{i1g} = 5 \text{ (V)}$ 、 $V_{i0} = 2 \text{ (V)}$ 、 $V_{i0} = -2 \text{ (V)}$ 、 $V_{off} = 5 \text{ (V)}$ である。したがって、これらの値に基づいた信号 $V_H \cdot V_L$ は、(3)式および(4)式により、

$$V_H = 5 - 2 + 4 = 8 \text{ (V)}$$

$$V_L = -5 + 2 - 5 = -8 \text{ (V)}$$

となる。このため、 $V_H \cdot V_L$ の電圧差である16Vの電源電圧が必要となり、素子もこれに応じて16Vの耐圧が要求されることになる。

【0026】

【発明が解決しようとする課題】従来のアクティブマトリクス型液晶表示装置では、スイッチング素子の基板材料として透明基板上に形成された非結晶シリコン薄膜が

6

ジスタ106aへの信号経路における反転回路102…とpチャネルトランジスタ106bへの信号経路における反転回路102…との個数差は、奇数個（通常1個）となる。

【0021】一般に、上記のようなサンプリング回路は、単一の電源（ここでは V_{cc} および V_{ss} ）により駆動されるため、両トランジスタ106a・106bのゲート電極への入力信号の電圧レベルは同一である。そして、その電圧レベルは、両トランジスタ106a・106bのそれぞれが、完全に遮断状態になり得るように与えられる。

【0022】上記の電圧レベルは、トランジスタ106a・106bの導通時に、映像信号をデータ信号線SLに十分書き込むだけの大きさが必要であり、トランジスタ106a・106bの遮断時に、すでに書き込まれた映像信号が次に書き込みが行なわれるまで保持されるような大きさでなければならない。ここで、閾値電圧以下の領域でも、トランジスタ106a・106bのリーク電流は無視できないレベルであり、十分な保持特性を得るためにはある程度の逆バイアス（nチャネルトランジスタ106aでは負バイアス）が必要となる。

【0023】通常、一方の電極（nまたはp）のトランジスタに完全に遮断するようなバイアスが与えられたとき、他方の電極のトランジスタは十分に導通し、映像信号の十分な書き込みが可能になるので、通常時の電圧についてはあまり考慮しなくてもよい。つまり、トランジスタが完全に遮断するような電圧が必要になるのである。

【0024】具体的には、映像信号の振幅を V_{i1g} 、nチャネルトランジスタ106aの閾値電圧を V_{i0} 、pチャネルトランジスタ106bの閾値電圧を V_{i0} 、サンプリングスイッチ106のオフマージンを V_{off} とすれば、信号 $V_H \cdot V_L$ は、

$$\dots (3)$$

$$\dots (4)$$

用いられていた。また、その液晶表示装置は、走査信号線駆動回路およびデータ信号線駆動回路を外付けの駆動用ICとして備える構成であった。

【0027】これに対し、近年、大画面化に伴うスイッチング素子の駆動能力の向上や、上記の駆動用ICの実装コストの低減等の要求から、マトリクス状に配された画素からなる画素アレイと上記の両駆動回路とを多結晶シリコン薄膜上にモノリシックに形成する技術が提案され、すでに報告されている。また、より大画面化および低コスト化を目指して、ガラスの歪み点（約600℃）以下のプロセス温度でスイッチング素子等をガラス基板上の多結晶シリコン薄膜上に形成することも試みられている。

【0028】しかしながら、前記のようなサンプリング回路が多結晶シリコン薄膜トランジスタにより形成され

る構成では、素子の特性に起因する様々な問題が発生する。

【0029】まず、素子の耐圧が単結晶シリコン基板上のトランジスタに比べて低い（ストレス印加時の劣化が大きい）という問題がある。特に、ガラス基板上に形成された多結晶シリコン薄膜トランジスタでは、その傾向が顕著に現れる。実際には、製造プロセス、素子の構造、チャンネル長さ等によっても素子の耐圧が変わるが、トランジスタにおけるソースドレイン間の耐圧は15V程度である。

【0030】また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタに比べると、キャリアの移動度が約1桁小さいため、その駆動能力が大きく劣っている。このため、高電位側の映像信号を十分書き込むには、導通状態時に、より高いレベルの信号が必要になる。

【0031】さらに、多結晶シリコン薄膜トランジスタには、サブスレッショルド係数が大きいため、従来のオフマージンではリーク電流が大きいという問題もある。このため、低電位側の映像信号を保持できるようになるまでにリーク電流を抑えるには、遮断状態時に、より低いレベルの信号が必要となる。

【0032】したがって、多結晶シリコン薄膜トランジスタは、キャリアの移動度およびサブスレッショルド係数の点から、単結晶シリコントランジスタよりも、より大きな振幅の信号が必要となる。しかしながら、サンプリングスイッチ104および増幅回路103を多結晶シリコン薄膜トランジスタで構成した場合、その素子は、耐圧が低くなるため、高い電圧の印加が不可能である。その結果、映像信号の書き込みが不足したり、あるいはリークによる映像信号の変動が発生し、表示画像の品位を損なう可能性がある。

【0033】そこで、サンプリングスイッチ106を採用すれば、必要とされる信号の振幅は幾分小さくなる。ところが、それでもなお、多結晶シリコン薄膜トランジスタの耐圧を越える場合があり、サンプリングスイッチ104を採用した構成と同様に、映像信号の書き込み不足、またはリークによる映像信号の変動により、表示画像の品位を損なう可能性がある。

【0034】このように、特性の面で単結晶シリコントランジスタより劣るトランジスタ群で構成された駆動回路を採用した場合、十分な書き込みを行なうことができなくなるという不都合があった。

【0035】本発明は、上記の事情に鑑みてなされたものであって、性能の低い素子においても、映像信号の十分な書き込みと保持が可能なサンプリング回路、およびそれを用いた画像表示装置を提供することを目的としている。

【0036】

【課題を解決するための手段】本発明のサンプリング回

路は、上記の課題を解決するために、以下のように構成されている。

【0037】すなわち、請求項1に記載のサンプリング回路は、一定周期のタイミング信号を発生するタイミング発生回路と、並列に接続されたnチャネルトランジスタとpチャネルトランジスタとからなるCMOS構成のサンプリングスイッチと、上記タイミング発生回路と上記サンプリングスイッチとの間に設けられた複数段の反転回路と、上記反転回路を含み、上記タイミング発生回路からのタイミング信号を2つの経路に分岐させてそれぞれを上記サンプリングスイッチにおけるnチャネルトランジスタのゲートとpチャネルトランジスタのゲートとに与える分岐回路とを備え、上記両経路のうちいずれか一方を通過するタイミング信号の上記サンプリングスイッチへの入力レベルが上記タイミング発生回路の出力レベルと異なるように上記反転回路の出力レベルが設定されていることを特徴としている。

【0038】請求項2に記載のサンプリング回路は、上記請求項1に記載のサンプリング回路であって、上記両経路のいずれか一方において入力段の反転回路と出力段の反転回路とにそれぞれ異なる駆動電圧が与えられることを特徴としている。

【0039】請求項3に記載のサンプリング回路は、上記請求項2に記載のサンプリング回路であって、上記駆動電圧が最高値および最低値の2つの値に設定されることを特徴としている。

【0040】請求項4に記載のサンプリング回路は、請求項2に記載のサンプリング回路であって、上記両経路のいずれか一方において入力段の反転回路と出力段の反転回路との間に設けられる反転回路に入出力段の両反転回路に与えられる駆動電圧の中間値の駆動電圧が与えられることを特徴としている。

【0041】請求項5に記載のサンプリング回路は、一定周期のタイミング信号を発生するタイミング発生回路と、並列に接続されたnチャネルトランジスタとpチャネルトランジスタとからなるCMOS構成のサンプリングスイッチと、上記タイミング発生回路と上記サンプリングスイッチとの間に設けられた複数段の反転回路と、上記反転回路を含み、上記タイミング発生回路からのタイミング信号を2つの第1および第2経路に分岐させてそれぞれを上記サンプリングスイッチにおけるnチャネルトランジスタのゲートとpチャネルトランジスタのゲートとに与える分岐回路とを備え、上記第1および第2経路を通過するタイミング信号の上記サンプリングスイッチへの入力レベルが上記タイミング発生回路の出力レベルと異なり、かつ互いに異なるように上記反転回路の出力レベルが設定されていることを特徴としている。

【0042】請求項6に記載のサンプリング回路は、上記請求項5に記載のサンプリング回路であって、上記第1経路において入力段の反転回路に出力段の反転回路よ

10

20

30

40

50

り高い駆動電圧が与えられる一方、上記第 2 経路において入力段の反転回路に出力段の反転回路より低い駆動電圧が与えられることを特徴としている。

【0043】請求項 7 に記載のサンプリング回路は、上記請求項 6 に記載のサンプリング回路であって、上記第 1 および第 2 経路における駆動電圧がそれぞれ最高値および最低値の 2 つの値に設定されることを特徴としている。

【0044】請求項 8 に記載のサンプリング回路は、上記請求項 6 に記載のサンプリング回路であって、上記第 1 および第 2 経路において入力段の反転回路と出力段の反転回路との間に設けられる反転回路に入出力段の両反転回路に与えられる駆動電圧の中間値の駆動電圧が与えられることを特徴としている。

【0045】請求項 9 に記載のサンプリング回路は、上記請求項 1 または 5 に記載のサンプリング回路であって、上記分岐回路における反転回路のすべては、同一の駆動電圧が与えられるとともに、駆動電圧を制限する電圧リミッタが設けられていることを特徴としている。

【0046】請求項 10 に記載のサンプリング回路は、上記請求項 2、3、4、6、7、8 または 9 に記載のサンプリング回路であって、上記タイミング発生回路および上記反転回路を構成する各素子が薄膜トランジスタからなることを特徴としている。

【0047】請求項 11 に記載の画像表示装置は、マトリクス状に配されて表示を行なう画素と、画素にデータを書き込むデータ信号線と、請求項 10 に記載のサンプリング回路を有し、上記サンプリングスイッチが上記タイミング発生回路により発生したタイミング信号に同期して上記データ信号線にデータを与えるデータ信号線駆動回路とを備えていることを特徴としている。

【0048】請求項 12 に記載の画像表示装置は、上記請求項 11 に記載の画像表示装置であって、少なくとも上記画素および上記データ信号線駆動回路が絶縁基板上に形成された多結晶シリコン薄膜または単結晶シリコン薄膜上に設けられていることを特徴としている。

【0049】請求項 13 に記載の画像表示装置は、上記請求項 12 に記載の画像表示装置であって、上記絶縁基板がガラス基板であり、上記各素子が 600℃以下のプロセス温度で製造されていることを特徴としている。

【0050】請求項 14 に記載の画像表示装置は、上記請求項 11、12 または 13 に記載の画像表示装置であ

$$nMOS : V(H) = 0 + V_{i0} + V_{o0} / 2 \quad \cdots (5)$$

$$V(L) = -V_{i1} + V_{i0} - V_{o1} \quad \cdots (6)$$

$$pMOS : V(H) = V_{i1} + V_{i0} + V_{o1} \quad \cdots (7)$$

$$V(L) = 0 + V_{i0} - V_{o0} / 2 \quad \cdots (8)$$

となる。

【0056】上記の各電圧の代表的な値は、例えば、 $V_{i1} = 5(V)$ 、 $V_{i0} = 2(V)$ 、 $V_{i0} = -2(V)$ 、 $V_{o0} = 4(V)$ 、 $V_{o1} = 5(V)$ である。したがっ

って、上記画素が液晶素子を有していることを特徴としている。

【0051】

【作用】請求項 1 に記載のサンプリング回路では、タイミング発生回路からのタイミング信号が複数の反転回路で増幅される。また、タイミング信号は、タイミング発生回路から出力された時点で 1 系統であるが、分岐回路の 2 つの経路により 2 系統に分けられ、サンプリングスイッチの n チャネルトランジスタと p チャネルトランジスタとにそれぞれ与えられる。また、分岐回路において、一方の経路を通過するタイミング信号は、反転回路によりレベルシフトされ、サンプリングスイッチへの入力レベルがタイミング発生回路の出力レベルと異なる値となる。

【0052】これにより、例えば、p チャネルトランジスタのゲート入力電圧が、n チャネルトランジスタのゲート入力電圧より高く設定される。あるいは、n チャネルトランジスタのゲート入力電圧が、p チャネルトランジスタのゲート入力電圧より低く設定される。

【0053】サンプリングスイッチでは、低電位側の映像信号が n チャネルトランジスタにより書き込まれ、高電位側の映像信号が p チャネルトランジスタにより書き込まれるので、導通状態時にはあまり大きな電圧は必要ない。また、中心付近の映像信号は、両トランジスタにより書き込まれるので、半分のオンマージンで映像信号の中心電圧が書き込みができればよい。

【0054】映像信号が中心電圧 (0V) 付近であるとき、n チャネルトランジスタおよび p チャネルトランジスタのいずれも導通状態にある。したがって、n チャネルトランジスタと p チャネルトランジスタとが同等の駆動力を備えておれば、それぞれが本来必要とされる駆動力の 1/2 の駆動力で十分な書き込みを行なうことができる。

【0055】ここで、サンプリングされる信号としての映像信号の振幅を V_{i1} 、n チャネルトランジスタの閾値電圧と p チャネルトランジスタの閾値電圧とをそれぞれ V_{i0} 、 V_{i0} 、サンプリングスイッチのオンマージンとオフマージンとをそれぞれ V_{o0} 、 V_{o1} とすれば、n チャネルトランジスタ (nMOS) のゲートと p チャネルトランジスタ (pMOS) のゲートとにそれぞれ与えられる信号 $V(H) \cdot V(L)$ は、

て、これらの値に基づいた信号 $V(H) \cdot V(L)$ は、

(5) 式ないし (8) 式により、

$$nMOS : V(H) = 0 + 2 + 4 / 2 = 4(V)$$

$$V(L) = -5 + 2 - 5 = -8(V)$$

pMOS : $V(H) = 5 - 2 + 5 = 8 \text{ (V)}$

$V(L) = 0 - 2 - 4/2 = -4 \text{ (V)}$

となる。このため、nチャネルトランジスタおよびpチャネルトランジスタの双方で、 $V(H) \cdot V(L)$ の電圧差である12Vの電源電圧で動作が可能となる。したがって、素子の耐圧も12Vが確保されればよいことになる。

【0057】これにより、例えば、タイミング発生回路の出力レベルが上記pMOSと同じである場合、nチャネルトランジスタにタイミング信号を与える経路においてのみ、タイミング信号が上記nMOSのようにレベルシフトされる。また、タイミング発生回路の出力レベルが上記nMOSと同じである場合、pチャネルトランジスタにタイミング信号を与える経路においてのみ、タイミング信号が上記pMOSのようにレベルシフトされる。

【0058】このようにレベルシフトさせることにより、サンプリングスイッチの両トランジスタに必要最低限の電圧を印加すればよく、その電圧振幅を小さくすることができる。それゆえ、サンプリングスイッチおよびその前段の回路（反転回路等）を構成する素子に印加される電圧を低くすることができ、耐圧の低い素子によっても、信号の十分な書き込みおよび保持を可能にすることができる。

【0059】請求項2に記載のサンプリング回路では、反転回路の出力レベルが反転回路に与えられる駆動電圧により決まる。これにより、レベルシフトを行なう経路において、入力段の反転回路と出力段の反転回路とにそれぞれ異なる駆動電圧が与えられることで、タイミング信号がレベルシフトされる。

【0060】例えば、レベルシフトを行なう経路において、入力段の反転回路に $V(H) = 4 \text{ V}$ 、 $V(L) = -8 \text{ V}$ の駆動電圧が与えられ、出力段の反転回路に $V(H) = 8 \text{ V}$ 、 $V(L) = -4 \text{ V}$ の駆動電圧（タイミング発生回路の駆動電圧と同じ）が与えられる構成では、pチャネルトランジスタの所要のゲート入力電圧にまでタイミング信号のレベルシフトが行なわれる。それゆえ、反転回路を駆動するための電源の出力を上記のように複数系統とすることにより、容易にタイミング信号のレベルシフトを行なうことができる。

【0061】請求項3に記載のサンプリング回路では、駆動電圧が最高値および最低値の2つの値に設定されているので、反転回路を駆動するための電源の出力も2系統になる。このように、電源出力を必要最小に限定することにより、電源の構成が簡単になる。

【0062】請求項4に記載のサンプリング回路では、タイミング信号が、一方の経路において入力段から出力段まで徐々にレベルシフトされる。それゆえ、各段の反転回路間のシフト量を小さくすることができる。

【0063】シフト量が大きい場合、シフトしない場合

に比べて信号の波形歪みおよび遅延時間が大きく異なるとともに、電圧条件によっては貫通電流が流れて消費電力の増大を招く。しかしながら、上記のようにシフト量が小さくなることで、信号をシフトさせない場合との信号の波形歪みおよび遅延時間の差を小さくすることができ、また、消費電力の増大を回避することができる。

【0064】請求項5に記載のサンプリング回路では、分岐回路において、第1および第2経路を通過するタイミング信号は、反転回路によりレベルシフトされ、サンプリングスイッチへの入力レベルがタイミング発生回路の出力レベルと異なる値となる。また、両タイミング信号は、それぞれ異なる値となっている。

【0065】したがって、請求項5に記載のサンプリング回路では、請求項1に記載のサンプリング回路と同様に、nチャネルトランジスタおよびpチャネルトランジスタの双方で低い電源電圧により動作が可能となる。それゆえ、各素子に印加される電圧を低くすることができ、耐圧の低い素子によっても信号の十分な書き込みおよび保持を可能にすることができる。

【0066】請求項6に記載のサンプリング回路は、反転回路の出力レベルが反転回路の駆動電圧により決まることを利用している。このサンプリング回路では、タイミング信号が、第1経路において出力段の反転回路で入力段の反転回路より低いレベルにシフトされ、第2経路において出力段の反転回路で入力段の反転回路より高いレベルにシフトされる。したがって、反転回路を駆動するための電源の出力を上記のように複数系統とすることにより、容易にタイミング信号のレベルシフトを行なうことができる。

【0067】請求項7に記載のサンプリング回路では、第1および第2経路における駆動電圧が最高値および最低値の2つの値に設定されているので、両経路で反転回路の駆動用として必要な電源は出力がそれぞれ2系統ずつになる。このように、各経路での電源の出力系統を必要最小に限定することにより、電源の構成が簡単になる。また、両経路でそれぞれ1つの駆動電圧を同じ値にすれば、両経路の駆動電圧が3つの値になり、より電源の構成が簡単になる。

【0068】請求項8に記載のサンプリング回路では、タイミング信号が、第1および第2経路において入力段から出力段まで徐々にレベルシフトされる。それゆえ、各段の反転回路間のシフト量を小さくすることができる。これにより、第1および第2経路によるタイミング信号のシフト量をそろえることができ、第1および第2経路の間での信号の波形歪みおよび遅延時間の差を小さくすることができる。また、シフト量が小さくなるので、貫通電流に起因する消費電力の増大を回避することができる。

【0069】請求項9に記載のサンプリング回路では、分岐回路におけるすべての反転回路が同一の駆動電圧で

駆動されるので、それらの反転回路を駆動するための電源は出力が 1 系統だけでよい。また、反転回路に電圧リミッタが設けられることにより、反転回路の出力レベルをそれぞれ異ならせることができ、請求項 1 または 5 に記載のサンプリング回路と同様な信号のレベルシフトを実現することができる。

【0070】請求項 10 に記載のサンプリング回路では、単結晶基板上のトランジスタに比べて特性が劣る薄膜トランジスタにより上記各素子が形成されている。すなわち、上記各素子の耐圧が低い請求項 2、3、4、6、7、8 または 9 に記載のサンプリング回路では、薄膜トランジスタを用いることにより、耐圧の低さを補うことができる。

【0071】請求項 11 に記載の画像表示装置では、データ信号線駆動回路が請求項 10 に記載のサンプリング回路を有していることにより、映像信号の十分な書き込みと保持とを行なうことができ、表示品位の優れた画像の表示が可能になる。

【0072】請求項 12 に記載の画像表示装置では、絶縁基板上に形成された多結晶シリコン薄膜または単結晶シリコン薄膜上に設けられた画素およびデータ信号線駆動回路は、単結晶基板上のシリコントランジスタに比べて劣っている。それゆえ、このような構成を用いることにより、サンプリング回路の各素子の耐圧の低さを補うことができる。

【0073】請求項 13 に記載の画像表示装置では、絶縁基板がガラス基板であり、上記各素子が 600℃ 以下のプロセス温度で製造されているので、やはり各素子の特性が単結晶基板上のシリコントランジスタに比べて劣るが、サンプリング回路の各素子の耐圧が低いので、上記と同様に問題はない。

【0074】請求項 14 に記載の画像表示装置は、画素が液晶素子を有するアクティブマトリクス型の液晶表示装置であり、この液晶表示装置では、液晶の劣化防止のために液晶の反転駆動を行なうが、液晶に与えられる映像信号の振幅は液晶駆動電圧の 2 倍になる。このような信号を高速で書き込みかつ保持を行なう構成においても、低耐圧の素子を用いたサンプリング回路が好適である。

【0075】

【実施例】本発明の第 1 の実施例について図 1 ないし図 13 に基づいて説明すれば、以下の通りである。

【0076】〔画像表示装置の基本構成〕本実施例に係る画像表示装置は、アクティブマトリクス駆動方式の液晶表示装置であり、図 2 に示すように、画素アレイ 1 と、走査信号線駆動回路 2 と、データ信号線駆動回路 3 とを備えている。画素アレイ 1 には、多数の走査信号線 GL_1, GL_{1+1}, \dots と、多数のデータ信号線 SL_1, SL_{1+1}, \dots とが垂直に交差して配されている。また、隣接する走査信号線 $GL \cdot GL$ と隣接するデータ信号線 $SL \cdot$

SL とで囲まれた領域には、画素 4 が 1 つずつ設けられており、全体で画素 4 … はマトリクス状に配されている。

【0077】画素 4 は、図 3 に示すように、スイッチング素子 5 および画素容量 6 を有している。スイッチング素子 5 は、例えば MOS 型の FET により構成されており、ゲートが走査信号線 GL に接続されている。画素容量 6 は、液晶素子としての液晶容量 6 a と補助容量 6 b とからなっている。

10 【0078】液晶容量 6 a および補助容量 6 b の一方の電極は、スイッチング素子 5 のドレインおよびソースを介してデータ信号線 SL に接続されている。液晶容量 6 a の他方の電極は、全画素 4 … に共通の共通電極線 7 に接続され、補助容量 6 b の他方の電極は、スイッチング素子 5 のゲートが接続される走査信号線 GL の次段の走査信号線 GL 、または共通電極線 7 に接続されている。

【0079】このように構成される画素 4 は、液晶容量 6 a に印加される電圧により、液晶の透過率または反射率が変調され、画像の表示を担うようになっている。

20 【0080】データ信号線駆動回路 3 は、入力されたアナログの映像信号 DATA を、一定周期のタイミング信号 TIM に同期してサンプリングし、必要に応じて増幅して各データ信号線 SL_1, SL_{1+1}, \dots に与えるようになっている。走査信号線駆動回路 2 は、タイミング信号 TIM に同期して走査信号線 GL_1, GL_{1+1}, \dots を順次選択して、画素 4 … 内のスイッチング素子 5 の開閉を制御することにより、各データ信号線 SL_1, SL_{1+1}, \dots に与えられたサンプリングデータ（映像信号）を各画素 4 … に書き込ませるとともに、書き込まれたデータを保持させるようになっている。

30 【0081】データ信号線駆動回路 3 は、次に述べる点順次駆動方式または線順次駆動方式により構成が異なっている。

【0082】点順次駆動方式によるデータ信号線駆動回路 3 は、図 4 に示すように、シフトレジスタ 11 と、複数の増幅回路（図中、AMP）12 … と、複数のサンプリングスイッチ（図中、SS）13 … とを備えている。

【0083】タイミング発生回路としてのシフトレジスタ 11 は、入力されたスタートパルス STR を、クロック信号 CLK の立ち上がりまたは立ち下がり同期してシフトさせるようになっており、m 個の出力端子からシフトパルス $N_1 \sim N_m$ を出力するようになっている。

40 【0084】シフトレジスタ 11 は、図 5 に示すように、1 段が、クロック反転回路 21・21 と反転回路 22 とにより構成されている。この図 5 では、2 段目までの構成が表されているが、その後段にも同様な回路が複数設けられている。クロック反転回路 21 と反転回路 22 とは直列に接続され、反転回路 22 ともう 1 つのクロック反転回路 21 とは並列にかつ互いに逆向きに接続されている。そして、直列に接続されたクロックト

反転回路 2 1 と反転回路 2 2 との間から出力端子 OUT₁、OUT₂、…が取り出されるようになっている。

【0085】上記のシフトレジスタ 1 1 では、クロック信号 CLK の立ち上がりまたは立ち下がりに同期して、信号の取り込みおよび保持を繰り返すようになっている。すなわち、入力された信号は、クロック信号 CLK の立ち上がりまたは立ち下がりに同期して出力側へ 1 段ずつシフトされていく。

【0086】図 6 の (a) に示すクロック反転回路 2 1 は、詳しくは、図 6 の (b) に示すように構成されている。すなわち、クロック反転回路 2 1 は、2 個の p チャネルトランジスタ 2 1 a・2 1 b と、2 個の n チャネルトランジスタ 2 1 c・2 1 d とが直列に接続されている。このクロック反転回路 2 1 は、クロック信号 CLK が入力されたときのみ反転信号を出力する一方、クロック信号 CLK が入力されないときに開放状態になる。

【0087】電源に接続された p チャネルトランジスタ 2 1 a および接地された n チャネルトランジスタ 2 1 d のゲートは、信号の入力部となっている。隣接して互いに接続された p チャネルトランジスタ 2 1 b および n チャネルトランジスタ 2 1 c の一方の電極は、ともに接続されて信号の出力部となっている。また、p チャネルトランジスタ 2 1 b のゲートには反転クロック信号 /CLK が入力され、n チャネルトランジスタ 2 1 c のゲートにはクロック信号 CLK が入力される。

【0088】増幅回路 1 2 …は、シフトレジスタ 1 1 からのタイミング信号としてのシフトパルス $N_i \sim N_n$ を増幅するとともに、必要に応じてシフトパルス $N_i \sim N_n$ を反転させた反転信号を出力するようになっている。

【0089】サンプリングスイッチ 1 3 …は、増幅回路 1 2 を経たシフトパルス $N_i \sim N_n$ に同期して開閉するスイッチング素子であり、後述のように CMOS 構成のトランジスタからなっている。このサンプリングスイッチ 1 3 …は、シフトパルス $N_i \sim N_n$ により閉じると、映像信号線 VL から入力された映像信号を、データ信号線 SL_i ~ SL_n に与えるようになっている。

【0090】一方、線順次駆動方式によるデータ信号線駆動回路 3 は、図 7 に示すように、シフトレジスタ 1 1 と、複数の増幅回路 (図中、AMP) 1 2 …と、複数のサンプリングスイッチ (図中、SS_i) 1 4 …と、サンプリングスイッチ (図中、SS_j) 1 5 …と、サンプリング容量 1 6 …と、ホールド容量 1 7 …と、バッファアンプ 1 8 …とを備えている。

【0091】サンプリングスイッチ 1 4・1 5 は、前記のサンプリングスイッチ 1 3 と同タイプのスイッチング素子であり、直列に接続されている。サンプリングスイッチ 1 4 は、増幅回路 1 2 を経たシフトパルス $N_i \sim N_n$ に同期して開閉し、サンプリングスイッチ 1 5 は、データ転送信号線 TRF にて転送されてきた制御信号に同

期して開閉するようになっている。

【0092】サンプリング容量 1 6 は、サンプリングスイッチ 1 4 の出力段に設けられており、サンプリングスイッチ 1 4 によりサンプリングされたデータ (映像信号) を蓄えるようになっている。また、ホールド容量 1 7 は、サンプリングスイッチ 1 5 の出力段に設けられており、サンプリングスイッチ 1 5 によりサンプリング容量 1 6 から転送されたデータ (映像信号) を蓄えるようになっている。そして、バッファアンプ 1 8 は、ホールド容量 1 7 のさらに後段に設けられている。

【0093】上記のように構成されるデータ信号線駆動回路 3 では、ある水平走査期間において、映像信号線 VL に入力された映像信号が、サンプリングスイッチ 1 4 …によりサンプリングされた後、一旦サンプリング容量 1 6 …に蓄えられる。そして、蓄えられたサンプリングデータ (電荷) は、次の水平走査期間においてサンプリングスイッチ 1 5 …を介してホールド容量 1 7 に転送されて保持される。

【0094】そして、次の水平走査期間において、ホールド容量 1 7 に保持されている電圧と同じレベルの信号が、バッファアンプ 1 8 …を介してデータ信号線 SL_i ~ SL_n に出力される。ホールド容量 1 7 は、データ信号線 SL_i ~ SL_n の容量に比べて小さいので、電荷の容量分割によってデータ信号線 SL_i ~ SL_n に書き込まれる信号のレベルが小さくなる。このため、バッファアンプ 1 8 により信号の増幅が行なわれる。

【0095】ここで、上記のシフトレジスタ 1 1、増幅回路 1 2 およびサンプリングスイッチ 1 3 からなるサンプリング回路の詳細について以降の第 1 ないし第 6 のサンプリング回路について説明する。

【0096】〔第 1 のサンプリング回路〕図 1 に示すように、第 1 のサンプリング回路における増幅回路 1 2 は、複数の反転回路 3 1 …を備えている。この増幅回路 1 2 において、シフトレジスタ 1 1 の 1 つの出力端子から 2 段の反転回路 3 1・3 1 が設けられ、これらの反転回路 3 1 には、電源電圧 $V_{cc} \cdot V_{ss}$ が与えられている。

【0097】さらに、その後段には、分岐された第 1 経路 3 2 a と第 2 経路 3 2 b とを有する分岐回路 3 2 が設けられている。第 1 経路 3 2 a には 4 段の反転回路 3 1 …が設けられており、第 2 経路 3 2 b には 3 段の反転回路 3 1 …が設けられている。

【0098】第 1 経路 3 2 a においては、すべての反転回路 3 1 …に電源電圧 $V_{cc} \cdot V_{ss}$ が与えられている。一方、第 2 経路 3 2 b においては、初段の反転回路 3 1 に電源電圧 $V_{cc} \cdot V_{ss}$ が与えられ、それに続く 2 段の反転回路 3 1・3 1 に電源電圧 $V_{DD} \cdot V_{EE}$ が与えられている。電源電圧 $V_{DD} \cdot V_{EE}$ の電位差と電源電圧 $V_{cc} \cdot V_{ss}$ の電位差とは、ともに等しく設定されており、電源電圧 $V_{DD} \cdot V_{EE}$ は電源電圧 $V_{cc} \cdot V_{ss}$ に対してプラス側に若干シフトした値に設定されている。

【0099】 サンプリングスイッチ13は、nチャネルトランジスタ13aとpチャネルトランジスタ13bとが並列に接続されたCMOS構成のスイッチング素子である。nチャネルトランジスタ13aのゲートには、第1経路32aの出力段の反転回路31が接続されている。pチャネルトランジスタ13bのゲートには、第2経路32bの出力段の反転回路31が接続されている。また、両トランジスタ13a・13bは、ソースがとも

$$V_{cc} = 0 + V_{in} + V_{on} / 2$$

$$V_{ss} = -V_{ig} + V_{in} - V_{off}$$

$$V_{dd} = V_{ig} + V_{ip} + V_{off}$$

$$V_{ee} = 0 + V_{ip} - V_{on} / 2$$

となる。

【0101】 上記の各電圧の代表的な値は、例えば、 $V_{ig} = 5$ (V)、 $V_{in} = 2$ (V)、 $V_{ip} = -2$ (V)、 $V_{on} = 4$ (V)、 $V_{off} = 5$ (V) である。したがって、これらの値に基づいた電源電圧 $V_{cc} \cdot V_{ss} \cdot V_{dd} \cdot V_{ee}$ は、(9) 式ないし (12) 式により、

$$V_{cc} = 0 + 2 + 4 / 2 = 4 \text{ (V)}$$

$$V_{ss} = -5 + 2 - 5 = -8 \text{ (V)}$$

$$V_{dd} = 5 - 2 + 5 = 8 \text{ (V)}$$

$$V_{ee} = 0 - 2 - 4 / 2 = -4 \text{ (V)}$$

となる。これにより、電源電圧 $V_{cc} \cdot V_{ss}$ の電位差および電源電圧 $V_{dd} \cdot V_{ee}$ の電位差がともに12Vとなり、第1のサンプリング回路は、低い電源電圧で動作が可能となる。したがって、素子の耐圧も12Vが確保されればよいことになる。

【0102】 上記のように構成される第1のサンプリング回路では、シフトレジスタ11の出力信号は、増幅回路12において第1経路32aにより増幅されて同極性のゲート入力電圧となり、nチャネルトランジスタ13aのゲートに印加される。また、シフトレジスタ11の出力信号は、増幅回路12において第1経路32aにより増幅されるとともに反転されて逆極性のゲート入力電圧となり、pチャネルトランジスタ13bのゲートに印加される。

【0103】 そして、映像信号線VLに与えられている映像信号が、サンプリングスイッチ13の導通により取り込まれ、データ信号線SLに与えられる。このとき、上記のサンプリングスイッチ13では、低電位側の映像信号がnチャネルトランジスタ13aにより取り込まれ、高電位側の映像信号がpチャネルトランジスタ13bにより取り込まれる。

【0104】 以上のように、第1のサンプリング回路では、第2経路32bにおける後段の2個の反転回路31・31に与える電源電圧 $V_{dd} \cdot V_{ee}$ を他の反転回路31…に与える電源電圧 $V_{cc} \cdot V_{ss}$ と異ならせることにより、サンプリングスイッチ13の導通時におけるゲート入力電圧を小さくすることができる。また、上記のように電源電圧のレベルをシフトさせることにより、小振幅

に映像信号線VLに接続され、ドレインがともにデータ信号線SLに接続されている。

【0100】 ここで、電源電圧 $V_{cc} \cdot V_{ss} \cdot V_{dd} \cdot V_{ee}$ の具体例について述べる。映像信号の振幅を V_{ig} 、両トランジスタ13a・13bの閾値電圧をそれぞれ $V_{in} \cdot V_{ip}$ 、サンプリングスイッチ13のオンマージン、オフマージンをそれぞれ $V_{on} \cdot V_{off}$ とすれば、電源電圧 $V_{cc} \cdot V_{ss} \cdot V_{dd} \cdot V_{ee}$ は、

$$\dots (9)$$

$$\dots (10)$$

$$\dots (11)$$

$$\dots (12)$$

の信号でも書き込みおよび保持が可能になる。それゆえ、耐圧の低い素子を用いた場合にも、回路特性が損なわれることはない。

【0105】 そして、第1のサンプリング回路は、電源振幅が12Vであり、従来のサンプリング回路より低い電圧で駆動することができる。したがって、耐圧が確保できる範囲内で、サンプリング回路のチャネル長を小さくすることができ、ひいては素子のチャネル幅当たりの駆動力を高めることが可能になる。それゆえ、より小さい素子で回路を構成することができ、回路およびシステムの小型化や低消費電力化を図ることができる。

【0106】 なお、上記の第1のサンプリング回路において、増幅回路12における前段部分、第1経路32aおよび第2経路32bに設けられた反転回路31の数は、それぞれ2個、4個、3個になっているが、これに限定されることはない。すなわち、反転回路31の数は、nチャネルトランジスタ13aとpチャネルトランジスタ13bとに与えられるゲート入力電圧が互いに逆極性になるように、第1経路32aおよび第2経路32bにおける反転回路31の数差が奇数となれば、いかなる組み合わせでもよい。

【0107】 [第2のサンプリング回路] 図8に示すように、第2のサンプリング回路は、基本的には、第1のサンプリング回路と同様の構成であるが、電源の構成が第1のサンプリング回路と異なっている。

【0108】 すなわち、第1経路32aにおいては、後段の2個の反転回路31・31に電源電圧 $V_{cc} \cdot V_{ss}$ が与えられ、第2経路32bにおいては、後段の2個の反転回路31・31に電源電圧 $V_{dd} \cdot V_{ee}$ が与えられている。また、シフトレジスタ11には、電源電圧 $V_{H} \cdot V_{L}$ が与えられている。さらに、シフトレジスタ11に続く2段の反転回路31・31と、第1経路32aの前段の1個の反転回路31および第2経路32bの前段の2個の反転回路31・31とにも、電源電圧 $V_{H} \cdot V_{L}$ が与えられている。これは、上記の両反転回路31・31に伝送される信号のレベルがシフトレジスタ11から出力された信号のレベルと同一であることが望ましいからである。

20

30

40

50

【0109】電源電圧 $V_H \cdot V_L$ は、電源電圧 $V_{cc} \cdot V_{ss}$ と電源電圧 $V_{DD} \cdot V_{EE}$ との中央値に設定されている。また、電源電圧 $V_{cc} \cdot V_{ss}$ は、電源電圧 $V_H \cdot V_L$ に対してマイナス側にシフトした値に設定され、電源電圧 $V_{DD} \cdot V_{EE}$ は、電源電圧 $V_H \cdot V_L$ に対してプラス側にシフトした値に設定されている。

$$V_H = (V_{cc} + V_{DD}) / 2$$

$$V_L = (V_{ss} + V_{EE}) / 2$$

となる。したがって、前記の代表的な値に基づいた電源電圧 $V_H \cdot V_L$ は、(13)式および(14)式により、

$$V_H = (4 + 8) / 2 = 6 \text{ (V)}$$

$$V_L = (-8 - 4) / 2 = -6 \text{ (V)}$$

となる。これにより、電源振幅が12Vとなり、耐圧が12V以上の素子であれば、良好なサンプリグ性能を確保することができる。

【0111】このように、第2のサンプリグ回路では、それぞれ異なる値の電源電圧 $V_{cc} \cdot V_{ss}$ 、電源電圧 $V_{DD} \cdot V_{EE}$ および電源電圧 $V_H \cdot V_L$ を用いることにより、第1のサンプリグ回路と同様に、小振幅の信号の書き込みおよび保持が可能であり、耐圧の低い素子を用いた場合にも回路性能が損なわれることはない。

【0112】特に、第2のサンプリグ回路では、上記のように $V_H \cdot V_L$ を $V_{cc} \cdot V_{ss}$ と $V_{DD} \cdot V_{EE}$ との中間値に設定することにより、電源電圧のシフト量(2V)を第1のサンプリグ回路におけるシフト量(4V)の半分にすることができる。

【0113】信号レベルのシフトは、反転回路31を入力信号レベルとは異なる電圧レベルで駆動させることにより行なわれるが、このとき、信号レベルを変化させない場合と比べて、信号の波形歪みや遅延時間が異なる場合がある。それゆえ、上記のようにシフト量を小さくするとともに、第1経路32aおよび第2経路32bで信号レベルのシフトを行なうことにより、信号の波形歪みや遅延時間の差を小さくすることができる。また、電源電圧のシフト量が第1のサンプリグ回路の半分になるので、反転回路31に流れる貫通電流に起因する消費電

$$V_{cc}' = (V_{cc} + V_{DD}) / 2$$

$$V_{ss}' = (V_{ss} + V_{EE}) / 2$$

となる。したがって、前記の代表的な値に基づいた電源電圧 $V_{cc}' \cdot V_{ss}'$ は、(13)式および(14)式により、

$$V_{cc}' = (4 + 8) / 2 = 6 \text{ (V)}$$

$$V_{ss}' = (-8 - 4) / 2 = -6 \text{ (V)}$$

となる。これにより、電源振幅が12Vとなり、耐圧が12V以上の素子であれば、良好なサンプリグ性能を確保することができる。

【0118】なお、第3のサンプリグ回路において、中央値(中間値)で駆動される反転回路31は1段であったが、これに限定されることはない。すなわち、複数段の反転回路31…が同一あるいは異なる中間電圧で駆動される構成であっても、上記の第3のサンプリグ回

【0110】具体的には、電源電圧 $V_{cc} \cdot V_{ss} \cdot V_{DD} \cdot V_{EE}$ は、それぞれ(9)式ないし(12)式で表され、前述のように、例えば、 $V_{cc} = 4 \text{ (V)}$ 、 $V_{ss} = -8 \text{ (V)}$ 、 $V_{DD} = 8 \text{ (V)}$ 、 $V_{EE} = -4 \text{ (V)}$ となる。また電源電圧 $V_H \cdot V_L$ は、

$$\dots (13)$$

$$\dots (14)$$

力の増大を抑制することができる。

10 【0114】〔第3のサンプリグ回路〕図9に示すように、第3のサンプリグ回路は、基本的には、第1のサンプリグ回路と同様の構成であるが、第2経路32bにおける2段目の反転回路31が電源電圧 $V_{cc} \cdot V_{ss}$ および電源電圧 $V_{DD} \cdot V_{EE}$ と異なる電源電圧 $V_{cc}' \cdot V_{ss}'$ により駆動されている。

20 【0115】電源電圧 $V_{cc}' \cdot V_{ss}'$ は、電源電圧 $V_{cc} \cdot V_{ss}$ と電源電圧 $V_{DD} \cdot V_{EE}$ との中央値に設定されている。したがって、第2経路32bを通過する信号は、2段目の反転回路31で一旦中間レベルにシフトされた後に、出力段の反転回路31でサンプリグスイッチ13への所要入力レベルにシフトされる。

30 【0116】このように、第3のサンプリグ回路では、電源レベルを異ならせることにより、第1のサンプリグ回路と同様に、耐圧の低い素子を用いた場合の回路性能が損なわれることはない。また、第3のサンプリグ回路では、第2経路32bで信号を一旦中間レベルにシフトさせるので、反転回路31の1段当たりのシフト量が小さくなる。それゆえ、第3のサンプリグ回路によれば、第2のサンプリグ回路と同様に、信号の波形歪みおよび遅延時間の差を小さくすることができるとともに、消費電力の増大を抑えることができる。

【0117】ところで、具体的な電源電圧 $V_{cc} \cdot V_{ss} \cdot V_{DD} \cdot V_{EE}$ は、それぞれ(9)式ないし(12)式で表され、例えば、 $V_{cc} = 4 \text{ (V)}$ 、 $V_{ss} = -8 \text{ (V)}$ 、 $V_{DD} = 8 \text{ (V)}$ 、 $V_{EE} = -4 \text{ (V)}$ となる。また電源電圧 $V_{cc}' \cdot V_{ss}'$ は、

$$\dots (15)$$

$$\dots (16)$$

路と同等の機能を有する。

40 【0119】また、第3のサンプリグ回路は、第1のサンプリグ回路の構成に中間値の電源電圧を適用した構成であるが、第2のサンプリグ回路にも、中間値の電源電圧を適用することができる。

50 【0120】具体的には、図8に示す第1経路32aにおける2段目の反転回路31が、図示はしないが電源電圧 $V_H \cdot V_L$ と電源電圧 $V_{cc} \cdot V_{ss}$ との中央値に設定された電源電圧 $V_H' \cdot V_L'$ により駆動されている。また、例えば、第2経路32bにおける3段目の反転回路31が、図示はしないが電源電圧 $V_H \cdot V_L$ と電源電圧 $V_{DD} \cdot V_{EE}$ との中央値に設定された電源電圧 $V_H'' \cdot V_L''$ により駆動されている。

、”により駆動されている。

【0121】したがって、第1経路32aを通過する信号は、2段目の反転回路31で一旦中間レベルにシフトされた後に、出力段の反転回路31でnチャネルトランジスタ13aへの所要入力レベルにシフトされる。一方、第2経路32bを通過する信号は、3段目の反転回路31で一旦中間レベルにシフトされた後に、出力段の反転回路31でpチャネルトランジスタ13bへの所要入力レベルにシフトされる。

【0122】〔第4のサンプリング回路〕第4のサンプリング回路は、基本的には、第1のサンプリング回路と同様の構成であるが、図10に示すように、反転回路31…はすべて同一の電源電圧 $V_{DD} \cdot V_{SS}$ で駆動されている。また、第1のサンプリング回路と同様に、第2経路32bにおいて信号レベルをシフトさせるようになっている。なお、図10においては、増幅回路12内の一部の回路（信号が分岐する部分および信号レベルが変化する部分）のみを示している。

【0123】第4のサンプリング回路において、各反転回路31は、直列に接続されて反転機能を司るnチャネルトランジスタ31aおよびpチャネルトランジスタ31bを有している。また、各反転回路31…の内部には、電圧リミッタが設けられており、この電圧リミッタにより出力レベルが制限されるようになっている。電圧リミッタは、ゲートとソースとが短絡されたnチャネルトランジスタ31cおよびpチャネルトランジスタ31dにより構成されており、上記の両トランジスタ31a・31bの電源側か接地側あるいはその両方に設けられている。電源側では、nチャネルトランジスタ31cが設けられ、接地側では、pチャネルトランジスタ31dが設けられている。

【0124】上記の電圧リミッタは、nチャネルトランジスタ31cおよびpチャネルトランジスタ31dの閾値電圧分だけシフトさせた電圧を生成する機能を有する。これにより、nチャネルトランジスタ31aおよびpチャネルトランジスタ31bには、反転回路31の駆動電圧よりも低い電圧が印加されることになる。したがって、反転回路31の出力レベルは、両トランジスタ31a・31bに実質的に印加された電圧レベルに一致する。

【0125】シフトレジスタ11を構成するクロック反転回路21および反転回路22に電圧リミッタが組み込まれる場合、シフトレジスタ11に印加される電源電圧は、上記の反転回路31…に与えられる電源電圧と同様に $V_{DD} \cdot V_{SS}$ である。また、両反転回路21・22に電圧リミッタが組み込まれない場合、シフトレジスタ11に印加される電源電圧は、第1のサンプリング回路と同様に $V_{CC} \cdot V_{SS}$ である。

【0126】このように、第4のサンプリング回路では、第2経路32bにおける反転回路31…の実質的な

駆動電圧すなわち電圧リミッタで制限された電圧を、他の回路（シフトレジスタ11等）の実質的な駆動電圧に対してプラス側にシフトさせている。それゆえ、第1のサンプリング回路と同様の電圧シフトが行なわれ、耐圧の低い素子を用いた場合にも回路性能が損なわれることはない。

【0127】また、第4のサンプリング回路によれば、増幅回路12の電源が1系統だけですむので、電源回路および電源ライン等の電源システムの簡素化が可能になる。加えて、シフトレジスタ11に電圧リミッタを設けることにより、シフトレジスタ11および増幅回路12の電源システムの簡素化を図ることができる。

【0128】なお、反転回路31内に組み込まれる電圧リミッタは、1個に限らず、所望の電圧レベルにシフトするように、複数個が直列に接続されたものであってもよい。また、電圧リミッタの数は、電源側と接地側とで異なってもよい。また、第4のサンプリング回路は、第1のサンプリング回路だけでなく、第3のサンプリング回路にも適用が可能である。

【0129】〔第5のサンプリング回路〕第5のサンプリング回路は、基本的には、第2のサンプリング回路と同様の構成であるが、図11に示すように、反転回路31…はすべて同一の電源電圧 $V_{DD} \cdot V_{SS}$ で駆動されている。また、第2のサンプリング回路と同様に、第1経路32aおよび第2経路32bにおいて信号レベルをシフトさせるようになっている。なお、図10においては、増幅回路12内の一部の回路（信号が分岐する部分および信号レベルが変化する部分）のみを示している。

【0130】第5のサンプリング回路においても、第4のサンプリング回路と同様に、各反転回路31…の内部には電圧リミッタが設けられており、この電圧リミッタにより出力レベルが制限されるようになっている。したがって、反転回路31の出力レベルは、両トランジスタ31a・31bに実質的に印加された電圧レベルに一致する。

【0131】シフトレジスタ11を構成するクロック反転回路21および反転回路22に電圧リミッタが組み込まれる場合、シフトレジスタ11に印加される電源電圧は $V_{DD} \cdot V_{SS}$ である。また、シフトレジスタ11に電圧リミッタが組み込まれない場合、シフトレジスタ11に印加される電源電圧は、第2のサンプリング回路と同様に $V_{DD} \cdot V_{SS}$ である。

【0132】第5のサンプリング回路では、第1経路32aと第2経路32bとにおける反転回路31の実質的な駆動電圧（電圧リミッタにより制限された電圧）を、他の回路（シフトレジスタ11等）の実質的な駆動電圧に対して、それぞれマイナス側とプラス側とにシフトさせているので、第2のサンプリング回路と同様の電圧シフトが行なわれる。それゆえ、耐圧の低い素子を用いた場合に回路性能が損なわれることがない。また、電源電

圧のシフト量が小さいので、信号の波形歪みおよび遅延時間の差の抑制を小さくすることができるとともに、消費電力の増大を抑えることができる。

【0133】また、第5のサンプリング回路によれば、第4のサンプリング回路と同様、増幅回路12の電源が1系統だけですむので、電源回路および電源ライン等の電源システムの簡素化が可能になる。加えて、シフトレジスタ11に電圧リミッタを設けることで、より電源システムの簡素化を図ることができる。

【0134】なお、第5のサンプリング回路でも、反転回路31内に組み込まれる電圧リミッタは、所望の電圧レベルにシフトするように、複数個が直列に接続されたものであってもよい。また、電圧リミッタの数は、電源側と接地側とで異なってもよい。さらに、第5のサンプリング回路は、第2のサンプリング回路だけでなく、第2のサンプリング回路に適用される第3のサンプリング回路についても適用が可能である。

【0135】〔第6のサンプリング回路〕図12に示すように、第6のサンプリング回路は、シフトレジスタ11およびシフトレジスタ11に接続される2段の反転回路31・31には、電源電圧 $V_H \cdot V_L$ が印加され、分岐回路32における反転回路31…には、すべて電源電圧 $V_{DD} \cdot V_{SS}$ が印加されている。また、分岐回路32における反転回路31…は、第5のサンプリング回路の反転回路31と同様に電圧リミッタを有している。したがって、第6のサンプリング回路は、第2および第5のサンプリング回路を部分的に組み合わせたものと見なすことができる。

【0136】この第6のサンプリング回路でも、第1経路32aと第2経路32bとにおける反転回路31の実質的な駆動電圧を、他の回路の実質的な駆動電圧に対して、それぞれマイナス側とプラス側とにシフトさせているので、第2のサンプリング回路と同様の電圧シフト行なわれる。それゆえ、第2のサンプリング回路と同様の効果を得ることができる。また、電圧リミッタを設けることにより、第5のサンプリング回路と同様の効果を得ることができる。

【0137】ところで、反転回路31等に電圧リミッタを内蔵させた場合、電圧リミッタにより供給電流が制限され、回路の遅延時間が大きくなるという問題が発生することがある。しかし、第6のサンプリング回路によれば、シフトレジスタ11を構成する回路には電圧リミッタが設けられないので、シフトレジスタ11は、動作速度が遅延することはなく、高速動作を維持することができる。また、シフトレジスタ11より後段の回路においては、たとえ遅延が生じて、シフトレジスタ11の各出力に対してその遅延が均一であれば、映像信号を取り込むタイミングをそれぞれずらすことで対応することができるので、第6のサンプリング回路の性能に何ら支障を来すことはない。

【0138】なお、第6のサンプリング回路においても、反転回路31内に組み込まれる電圧リミッタの数や配置位置は、上記の構成に限定されない。

【0139】また、第6のサンプリング回路では、シフトレジスタ11に続く2段の反転回路31・31に印加される電源電圧も、 $V_H \cdot V_L$ に限定されない。例えば、これらの反転回路31・31は、第1経路32aの1段目の反転回路31と同様に電源電圧 $V_{DD} \cdot V_{SS}$ が印加されるとともに電圧リミッタが設けられる。

10 【0140】〔サンプリング回路用トランジスタ〕続いて、前述の第1ないし第6のサンプリング回路を構成するトランジスタについて説明する。なお、前記の画素4は、このトランジスタにより構成されてもよいし、他の構成であってもよい。

【0141】このトランジスタは、図13に示すように、多結晶シリコン薄膜トランジスタ（以降、p-Si薄膜トランジスタと称する）であり、ガラス基板41上に形成された多結晶シリコン薄膜（以降、p-Si薄膜と称する）42にMIS(Metal Insulator Semiconductor)電

20 界効果トランジスタが形成される構成になっている。
【0142】p-Si薄膜42上には、ゲート絶縁膜としてのシリコン酸化膜43を介してゲート電極44が形成され、p-Si薄膜42においてゲート電極44で覆われた以外の領域に不純物イオンが注入されて、ソース電極45およびドレイン電極46が形成されている。そして、シリコン酸化膜43およびゲート電極44を覆うように層間絶縁膜としてのシリコン窒化膜47が形成され、シリコン窒化膜47の隙間からソース電極45とドレイン電極46とにそれぞれ達する金属配線48・48が形成されてい

30 る。
【0143】上記のように構成されるp-Si薄膜トランジスタは、ICにおける基板に相当するものを有していないので、ソース電位によりトランジスタの閾値が変化する、いわゆる基板効果を生じることがない。したがって、前述の電圧リミッタを付加することによって、反転回路31に実効的に印加される電圧が変化しても、反転回路31の反転特性に基板効果の影響が及ぶことはない。

40 【0144】また、従来では、p-Si薄膜トランジスタは素子の耐圧が低いことから、それを用いて良好な特性のサンプリング回路を構成することが困難であった。これに対し、第1ないし第6のサンプリング回路においては、低い耐圧の素子を用いることができ、本p-Si薄膜トランジスタの上記の特徴を有効に活用することができる。

50 【0145】なお、上記の構造では、p-Si薄膜トランジスタを例示したが、これに限らず、薄膜トランジスタであれば、多結晶シリコン以外の材料を用いたトランジスタであってもよい。その一例としては、例えば、上記のp-Si薄膜トランジスタにおいてp-Si薄膜42の代わりに

単結晶シリコン薄膜が用いられた単結晶シリコン薄膜トランジスタが挙げられる。また、この場合の薄膜トランジスタの構造としては、図 13 に示したスタガー構造に限らず、逆スタガー構造等の他の構造であってもよい。

【0146】〔サンプリング回路の液晶表示装置への適用〕図 4 に示す点順次駆動方式のアクティブマトリクス型液晶表示装置では、映像信号をデータ信号線 SL に書き込む期間が数十ナノ秒～数百ナノ秒というように非常に短く、また、データ信号線 SL での保持時間が数十マイクロ秒以上必要とされる。

【0147】また、一般に、液晶表示装置では、液晶の劣化を防ぐために液晶を反転駆動する必要がある、液晶駆動電圧を 5 V とすると、映像信号の幅が 10 V となる。このように大きな振幅の信号を、高速に書き込み、かつ長期にわたって保持するには、より大きな駆動信号をサンプリングスイッチ 13 に与えなければならない。このとき、増幅回路 12 は、内蔵する各素子の耐圧が十分高くなければ、大きな駆動信号を発生することができなくなる。

【0148】これに対し、第 1 ないし第 6 のサンプリング回路を液晶表示装置に適用すれば、サンプリングスイッチ 13 におけるトランジスタ 13a・13b に印加される電圧が低いので、低耐圧の素子を用いても、十分な書き込み性能および保持性能を維持することができる。

【0149】一方、図 7 に示す線順次駆動方式のアクティブマトリクス型液晶表示装置でも同様に、映像信号をサンプリング容量 16 に書き込む期間が、数十ナノ秒～数百ナノ秒というように非常に短く、また、サンプリング容量 16 での保持時間が数十マイクロ秒以上必要とされる。線順次駆動方式では、点順次駆動方式に比べて負荷容量が小さいため書き込みはやや容易になる反面、保持が難しくなる。したがって、第 1 ないし第 6 のサンプリング回路を液晶表示装置に適用すれば、線順次駆動方式の液晶表示装置においても、点順次駆動方式の場合と同様の効果が期待できる。

【0150】上記のように、第 1 ないし第 6 のサンプリング回路を採用すれば、高精度で映像信号の書き込みおよび保持を行なうことができ、この結果、液晶表示装置が表示品位の優れた、高階調の画像を表示することができるようになる。特に、近年、開発が進められている画素アレイと駆動回路とが同一基板上に一体形成されたモノリシック構造の液晶表示装置においては、駆動回路の素子として特性の劣った薄膜トランジスタを用いるため、上記の効果がより発揮される。

【0151】また、モノリシック構造の液晶表示装置の大型化のために、基板として安価なガラスを用いた場合には、その歪み点（約 600℃）以下の温度で素子を製造する必要があるが、そのようなプロセスで製造された素子は性能が劣っている。したがって、この場合にも上記の効果がより発揮される。加えて、ガラス基板上に前

述のような駆動回路が形成され、その基板を画素アレイを構成した基板上に実装する場合にも、同様の効果を得ることができる。

【0152】なお、上記の例では、サンプリング回路のアクティブマトリクス型液晶表示装置への適用について述べたが、これに限らず、アクティブマトリクス駆動方式であれば他の表示装置にも適用が可能である。他の表示装置としては、例えば、プラズマディスプレイ、LED ディスプレイ、EL ディスプレイ等が挙げられる。

10 【0153】

【発明の効果】以上のように、本発明の請求項 1 に記載のサンプリング装置は、以上のように、一定周期のタイミング信号を発生するタイミング発生回路と、並列に接続された n チャネルトランジスタと p チャネルトランジスタとからなる CMOS 構成のサンプリングスイッチと、上記タイミング発生回路と上記サンプリングスイッチとの間に設けられた複数段の反転回路と、上記反転回路を含み、上記タイミング発生回路からのタイミング信号を 2 つの経路に分岐させてそれぞれを上記サンプリングスイッチにおける n チャネルトランジスタのゲートと p チャネルトランジスタのゲートとに与える分岐回路とを備え、上記両経路のいずれか一方を通過するタイミング信号の上記サンプリングスイッチへの入力レベルが上記タイミング発生回路の出力レベルと異なるように上記反転回路の出力レベルが設定されている構成である。

【0154】サンプリングスイッチでは、低電位側の映像信号が n チャネルトランジスタにより書き込まれ、高電位側の映像信号が p チャネルトランジスタにより書き込まれるので、導通状態時にはあまり大きな電圧は必要ない。このため、分岐回路でいずれか一方の経路を通過するタイミング信号をタイミング発生回路の出力レベルと異なるようにレベルシフトさせることにより、サンプリングスイッチの両トランジスタには必要最低限の電圧が印加されることになり、その電圧振幅を小さくすることができる。

【0155】それゆえ、サンプリングスイッチおよびその前段の回路（反転回路等）を構成する素子に印加される電圧を低くすることができる。したがって、請求項 1 に記載のサンプリング回路を採用すれば、耐圧の低い素子で構成されたサンプリングスイッチによっても、信号の十分な書き込みおよび保持を可能にすることができるという効果を奏する。

【0156】本発明の請求項 2 に記載のサンプリング回路は、上記請求項 1 に記載のサンプリング回路であって、上記両経路のいずれか一方において入力段の反転回路と出力段の反転回路とにそれぞれ異なる駆動電圧が与えられる構成である。

【0157】これにより、反転回路の出力レベルが反転回路の駆動電圧により決まるので、一方の経路においては、入出力段の間でタイミング信号のレベルがシフトさ

れる。したがって、請求項 2 に記載のサンプリング回路を採用すれば、反転回路の駆動するための電源の出力を複数系統にするだけで、簡単にタイミング信号のレベルシフトを行なうことができるという効果を奏する。

【0158】本発明の請求項 3 に記載のサンプリング回路は、上記請求項 2 に記載のサンプリング回路であって、上記駆動電圧が最高値および最低値の 2 つの値に設定される構成であるので、反転回路を駆動するための電源の出力も 2 系統になる。したがって、請求項 3 に記載のサンプリング回路を採用すれば、電源の構成の簡素化を図ることができるという効果を奏する。

【0159】本発明の請求項 4 に記載のサンプリング回路は、上記請求項 2 に記載のサンプリング回路であって、上記両経路のいずれか一方において入力段の反転回路と出力段の反転回路との間に設けられる反転回路に入出力段の両反転回路に与えられる駆動電圧の中間値の駆動電圧が与えられる構成である。

【0160】これにより、タイミング信号が、一方の経路において入力段から出力段まで徐々にレベルシフトされるので、各段の反転回路間のシフト量を小さくすることができる。したがって、請求項 4 に記載のサンプリング回路を採用すれば、上記のようにシフト量が小さくなることで、信号をシフトさせない場合との信号の波形歪みおよび遅延時間の差を小さくすることができるとともに、消費電力の増大を抑えることができるという効果を奏する。

【0161】本発明の請求項 5 に記載のサンプリング回路は、一定周期のタイミング信号を発生するタイミング発生回路と、並列に接続された n チャネルトランジスタと p チャネルトランジスタとからなる CMOS 構成のサンプリングスイッチと、上記タイミング発生回路と上記サンプリングスイッチとの間に設けられた複数段の反転回路と、上記反転回路を含み、上記タイミング発生回路からのタイミング信号を 2 つの第 1 および第 2 経路に分岐させてそれぞれを上記サンプリングスイッチにおける n チャネルトランジスタのゲートと p チャネルトランジスタのゲートとに与える分岐回路とを備え、上記第 1 および第 2 経路を通過するタイミング信号の上記サンプリングスイッチへの入力レベルが上記タイミング発生回路の出力レベルと異なり、かつ互いに異なるように上記反転回路の出力レベルが設定されている構成である。

【0162】これにより、分岐回路において、第 1 および第 2 経路を通過するタイミング信号は、反転回路によりレベルシフトされ、サンプリングスイッチへの入力レベルがタイミング発生回路の出力レベルと異なる値となり、かつそれぞれ異なる値になる。それゆえ、請求項 5 に記載のサンプリング回路でも、請求項 1 に記載のサンプリング回路と同様に駆動電圧を低くすることが可能となる。

【0163】したがって、請求項 5 に記載のサンプリン

グ回路を採用すれば、耐圧の低い素子で構成されたサンプリングスイッチによっても信号の十分な書き込みおよび保持を行なうことができるとともに、電圧レベルのシフト量を小さくして貫通電流による消費電力の増大を抑えることができるという効果を奏する。

【0164】本発明の請求項 6 に記載のサンプリング回路は、上記請求項 5 に記載のサンプリング回路であって、上記第 1 経路において入力段の反転回路に出力段の反転回路より高い駆動電圧が与えられる一方、上記第 2 経路において入力段の反転回路に出力段の反転回路より低い駆動電圧が与えられる構成である。

【0165】これにより、タイミング信号が、第 1 経路において低くなるようにレベルシフトされ、第 2 経路において高くなるようにレベルシフトされるので、n チャネルトランジスタと p チャネルトランジスタとは、それぞれ低い電圧と高い電圧とが与えられる。したがって、請求項 6 に記載のサンプリング回路によっても、同様に信号の十分な書き込みおよび保持を可能にすることができる。

【0166】本発明の請求項 7 に記載のサンプリング回路は、上記請求項 6 に記載のサンプリング回路であって、上記第 1 および第 2 経路における駆動電圧がそれぞれ最高値および最低値の 2 つの値に設定される構成である。

【0167】これにより、反転回路の出力レベルが反転回路の駆動電圧により決まるので、第 1 および第 2 経路においては、入出力段の間でタイミング信号のレベルがシフトされる。したがって、請求項 7 に記載のサンプリング回路を採用すれば、反転回路の駆動するための電源の出力を複数系統にするだけで、簡単にタイミング信号のレベルシフトを行なうことができるという効果を奏する。

【0168】本発明の請求項 8 に記載のサンプリング回路は、上記請求項 6 に記載のサンプリング回路であって、上記第 1 および第 2 経路において入力段の反転回路と出力段の反転回路との間に設けられる反転回路に入出力段の両反転回路に与えられる駆動電圧の中間値の駆動電圧が与えられる構成である。

【0169】これにより、タイミング信号が、第 1 および第 2 経路において入力段から出力段まで徐々にレベルシフトされるので、第 1 および第 2 経路によるタイミング信号のシフト量をそろえることができるとともに、各段の反転回路間のシフト量を小さくすることができる。

【0170】したがって、請求項 8 に記載のサンプリング回路を採用すれば、第 1 および第 2 経路の間での信号の波形歪みおよび遅延時間の差を小さくすることができるとともに、消費電力の増大を抑えることができるという効果を奏する。

【0171】本発明の請求項 9 に記載のサンプリング回路は、上記請求項 1 または 5 に記載のサンプリング回路

であって、上記分岐回路における反転回路のすべては、同一の駆動電圧が与えられるとともに、駆動電圧を制限する電圧リミッタが設けられている構成である。

【0172】これにより、分岐回路におけるすべての反転回路が同一の駆動電圧で駆動されるので、それらの反転回路を駆動するための電源の出力を1系統にするだけでよい。また、反転回路に電圧リミッタが設けられることにより、反転回路の出力レベルをそれぞれ異ならせることができ、請求項1または5に記載のサンプリング回路と同様な信号のレベルシフトを実現することができる。したがって、請求項9に記載のサンプリング回路を採用すれば、信号の十分な書き込みおよび保持を可能にするだけでなく、電源の構成の簡素化を図ることができるという効果を奏する。

【0173】本発明の請求項10に記載のサンプリング回路は、上記請求項2、3、4、6、7、8または9に記載のサンプリング回路であって、上記タイミング発生回路および上記反転回路を構成する各素子が薄膜トランジスタからなる構成である。

【0174】これにより、単結晶基板上のトランジスタに比べて特性が劣る薄膜トランジスタにより上記各素子が形成されるが、上記各素子の耐圧が低い請求項2、3、4、6、7、8または9のいずれかに記載のサンプリング回路に好適である。したがって、請求項10に記載のサンプリング回路を採用すれば、薄膜トランジスタにより耐圧の低さを補うことができ、サンプリング回路の低コスト化を容易に図ることができるという効果を奏する。

【0175】本発明の請求項11に記載の画像表示装置は、マトリクス状に配されて表示を行なう画素と、画素にデータを書き込むデータ信号線と、請求項10に記載のサンプリング回路を有し、上記サンプリングスイッチが上記タイミング発生回路により発生したタイミング信号に同期して上記データ信号線にデータを与えるデータ信号線駆動回路とを備えている構成であるので、映像信号の十分な書き込みと保持とを行なうことができ、表示品位の優れた画像の表示が可能になるという効果を奏する。

【0176】本発明の請求項12に記載の画像表示装置は、上記請求項11に記載の画像表示装置であって、少なくとも上記画素および上記データ信号線駆動回路が絶縁基板上に形成された多結晶シリコン薄膜または単結晶シリコン薄膜上に設けられている構成である。

【0177】これにより、絶縁基板上に形成された多結晶シリコン薄膜または単結晶シリコン薄膜上に設けられた画素およびデータ信号線駆動回路は、素子特性の点で単結晶基板上のシリコントランジスタに比べて劣るが、サンプリング回路の各素子の耐圧の低さを補うことができる。したがって、請求項12に記載の画像表示装置を採用すれば、大画面化に伴う画素トランジスタの駆動力

向上、駆動用ICの実装コストの低減等を容易に図ることができるという効果を奏する。

【0178】本発明の請求項13に記載の画像表示装置は、上記請求項12に記載の画像表示装置であって、上記絶縁基板がガラス基板であり、上記各素子が600℃以下のプロセス温度で製造されている構成であるので、各素子は、特性が単結晶基板上のシリコントランジスタに比べて劣るが、サンプリング回路の耐圧の低さを補うことができる。したがって、請求項13に記載の画像表示装置を採用すれば、サンプリング回路の低コスト化を容易に図ることができるという効果を奏する。

【0179】本発明の請求項14に記載の画像表示装置は、上記請求項11、12または13に記載の画像表示装置であって、上記画素が液晶素子を有している液晶表示装置であるので、信号を高速で書き込みかつ保持を行なう場合においても、低耐圧の素子を用いたサンプリング回路が好適である。したがって、請求項14の画像表示装置を採用すれば、高精度で映像信号の書き込みおよび保持が可能となり、高品位の画像を表示することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例における第1のサンプリング回路の構成を示す回路図である。

【図2】本発明の一実施例に係る画像表示装置の構成を示すブロック図である。

【図3】図2の画像表示装置における画素の構成を示す回路図である。

【図4】図2の画像表示装置に適用される点順次駆動方式のデータ信号線駆動回路の構成を示すブロック図である。

【図5】図2の画像表示装置におけるデータ信号線駆動回路に設けられるシフトレジスタの構成を示す回路図である。

【図6】図5のシフトレジスタに用いられるクロック反転回路およびその詳細な構成を示す回路図である。

【図7】図2の画像表示装置に適用される線順次駆動方式のデータ信号線駆動回路の構成を示すブロック図である。

【図8】本発明の一実施例における第2のサンプリング回路の構成を示す回路図である。

【図9】本発明の一実施例における第3のサンプリング回路の構成を示す回路図である。

【図10】本発明の一実施例における第4のサンプリング回路の構成を示す回路図である。

【図11】本発明の一実施例における第5のサンプリング回路の構成を示す回路図である。

【図12】本発明の一実施例における第6のサンプリング回路の構成を示す回路図である。

【図13】本発明の一実施例における第1ないし第6のサンプリング回路を構成する薄膜トランジスタの構造を

31

32

示す縦断面図である。

【図 1 4】従来のサンプリング回路の構成を示す回路図である。

【図 1 5】図 1 4 のサンプリング回路に用いられる反転回路およびその詳細な構成を示す回路図である。

【図 1 6】従来の他のサンプリング回路の構成を示す回路図である。

【符号の説明】

3 データ信号線駆動回路
4 画素
6 a 液晶容量 (液晶素子)
1 1 シフトレジスタ (タイミング発生回路)
1 3 ~ 1 5 サンプリングスイッチ
1 3 a nチャネルトランジスタ
1 3 b pチャネルトランジスタ

3 1

3 1 c
ミッタ)3 1 d
ミッタ)

3 2

3 2 a

3 2 b

4 1

10 4 2

S L

 $V_{cc} \cdot V_{ss}$ $V_{DD} \cdot V_{EE}$ $V_H \cdot V_L$ $V_{cc}' \cdot V_{ss}'$

反転回路

nチャネルトランジスタ (電圧リ

pチャネルトランジスタ (電圧リ

分岐回路

第 1 経路

第 2 経路

ガラス基板 (絶縁基板)

多結晶シリコン薄膜

データ信号線

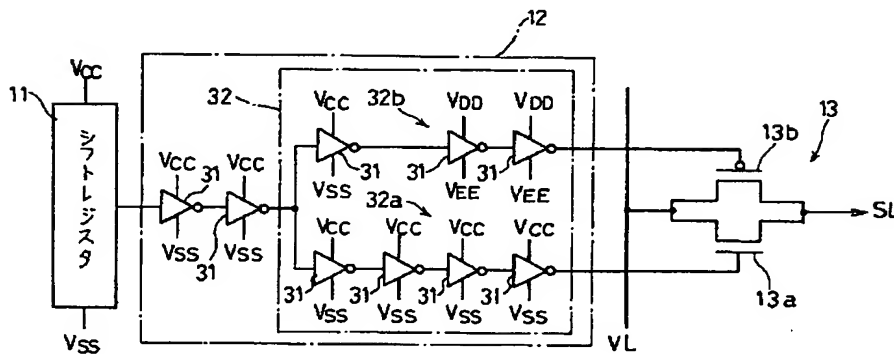
電源電圧 (駆動電圧)

電源電圧 (駆動電圧)

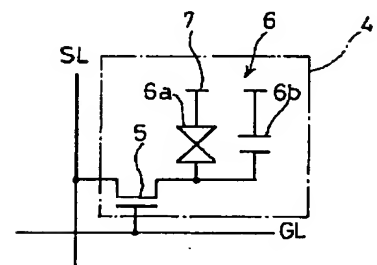
電源電圧 (駆動電圧)

電源電圧 (駆動電圧)

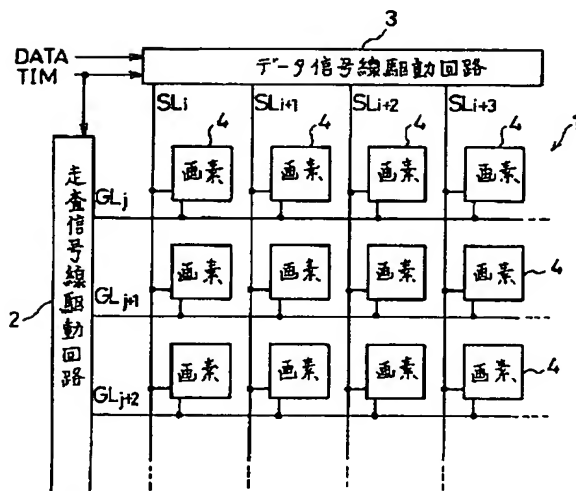
【図 1】



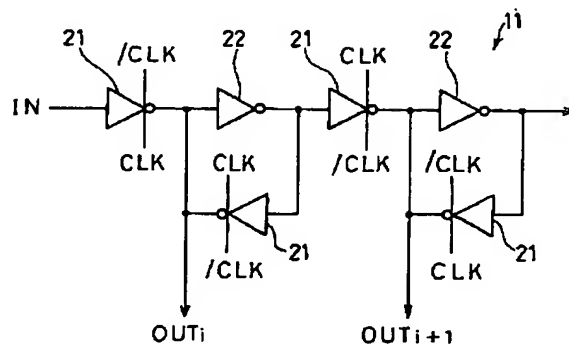
【図 3】



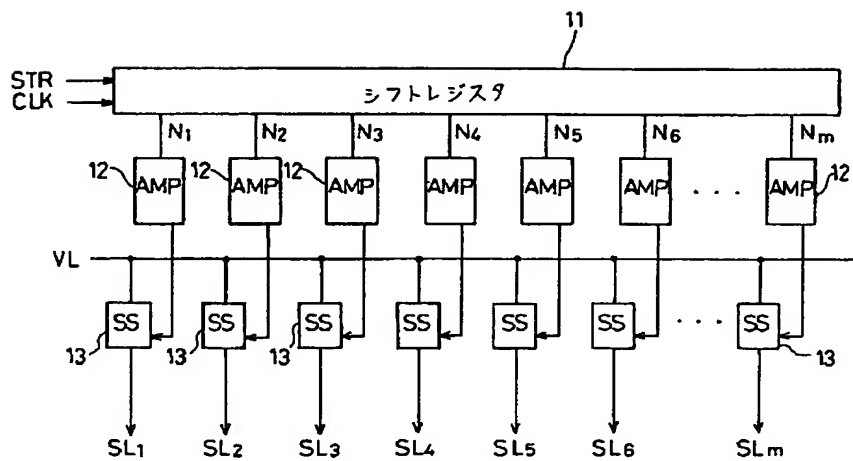
【図 2】



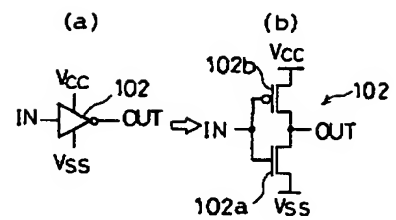
【図 5】



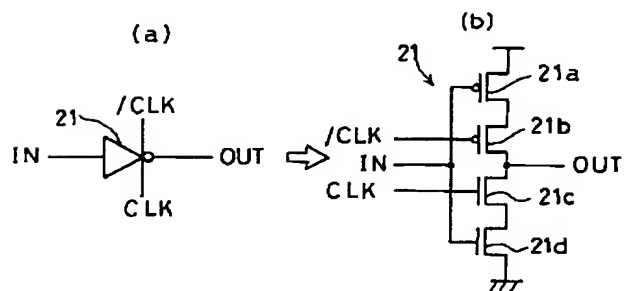
【図 4】



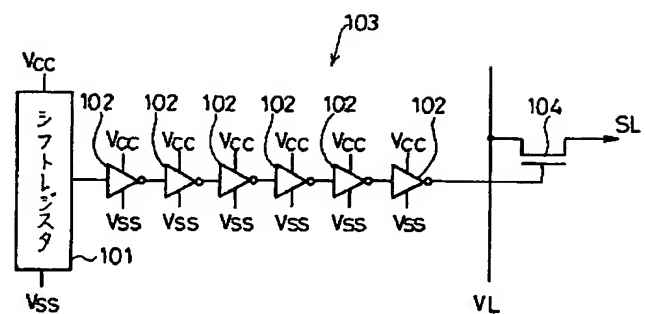
【図 15】



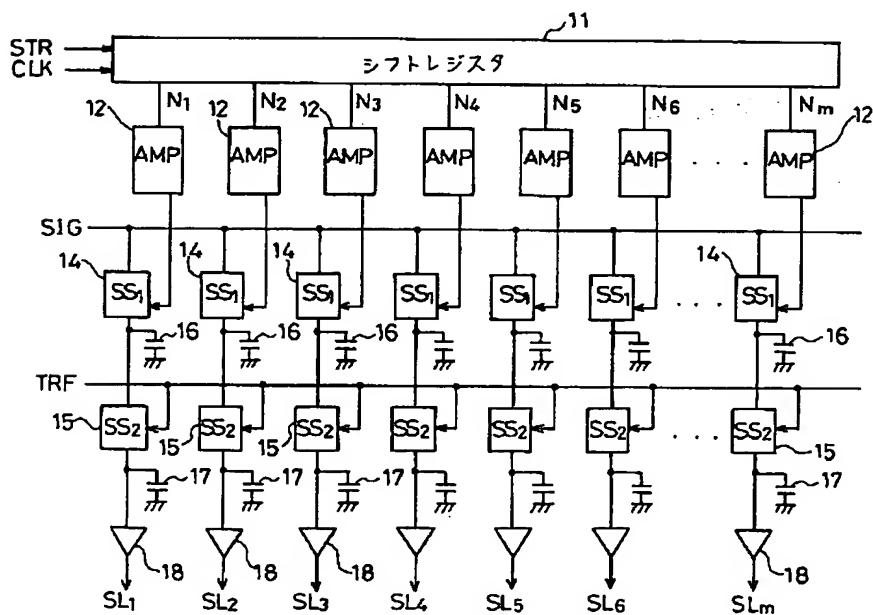
【図 6】



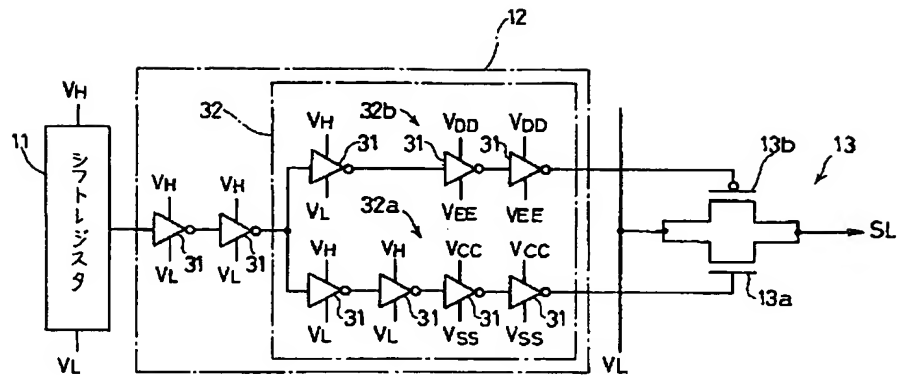
【図 14】



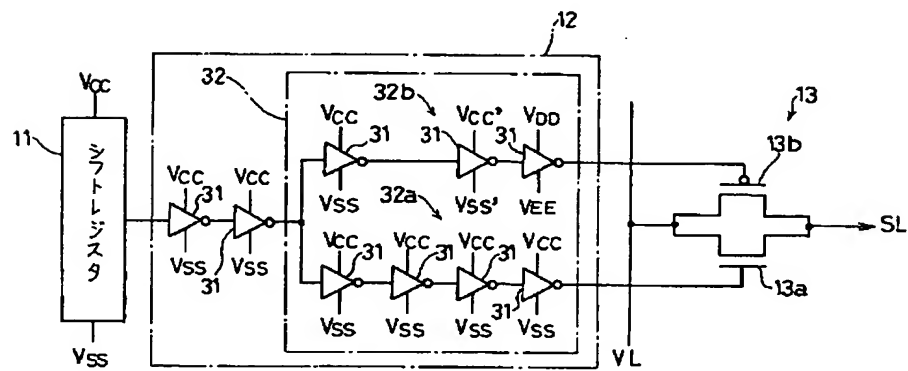
【図 7】



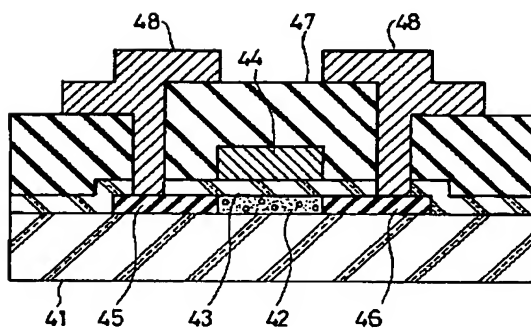
【図 8】



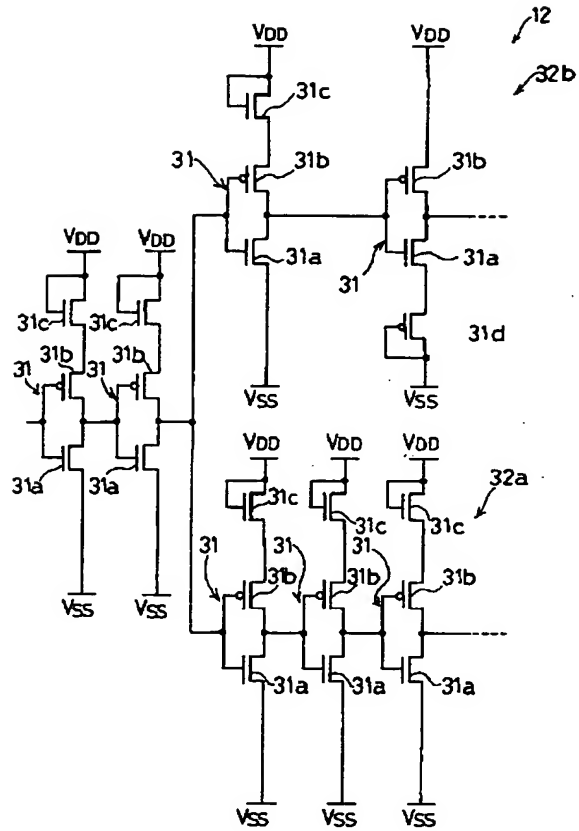
【図 9】



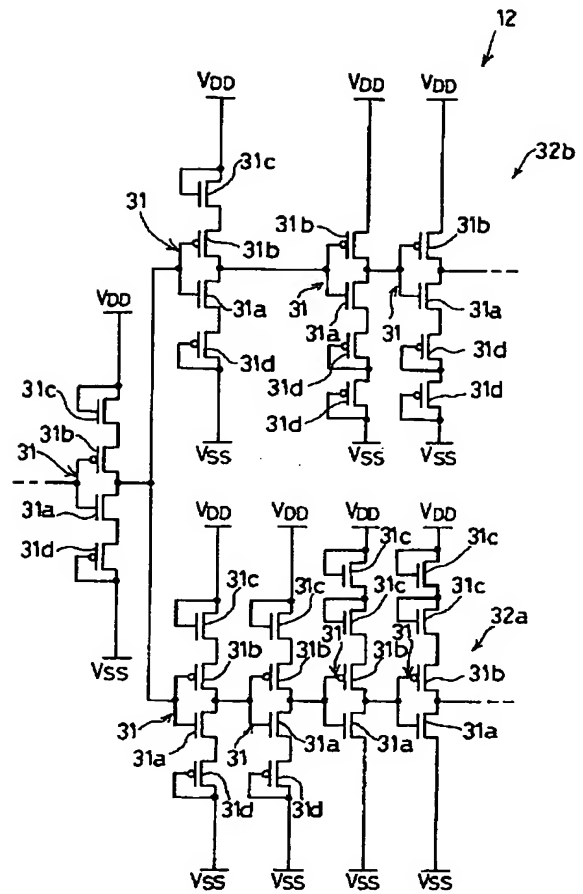
【図 13】



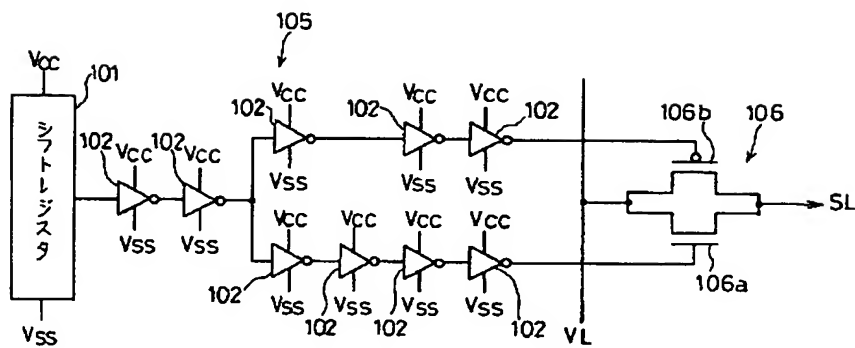
【図 10】



【図 11】



【図 16】



【図 1 2】

